

## Numărătoare

Numărătoarele sunt circuite logice secvențiale (prezintă memorie) ce contorizează impulsuri sau fronturi ale acestora (figura 1). Un impuls are 2 fronturi, unul crescător (pozitiv) și un altul descrescător (negativ). Numărătoarele sunt „sensibile” la unul dintre fronturi nu la ambele simultan. Drept urmare, contorizarea fronturilor sau a impulsurilor duce la același rezultat. Sunt cazuri însă pentru care frontul pe care se face incrementarea număratorului este importantă.

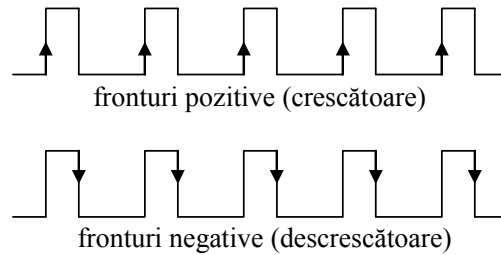


Fig. 1 Impulsuri, fronturi

Numărătoarele sunt alcătuite din celule, câte una pentru fiecare cifră binară. Aceste celule se numesc circuite basculante bistabile și sunt cele mai simple circuite secvențiale. Sunt 4 tipuri de circuite basculante bistabile (CBB): tip RS, tip JK, tip T, tip D.

Tipul de CBB cel mai utilizat în construcția numărătoarelor asincrone este cel tip T care se numește și celulă de numărare. Constructiv el este un CBB JK cu intrările JK legate împreună. Pentru numărătoarele sincrone se utilizează de regulă CBB JK.

Pentru înțelegerea funcționării numărătoarelor să vedem mai întâi cum funcționează un circuit basculant bistabil tip JK. Figura 2 prezintă sintetic CBB JK.

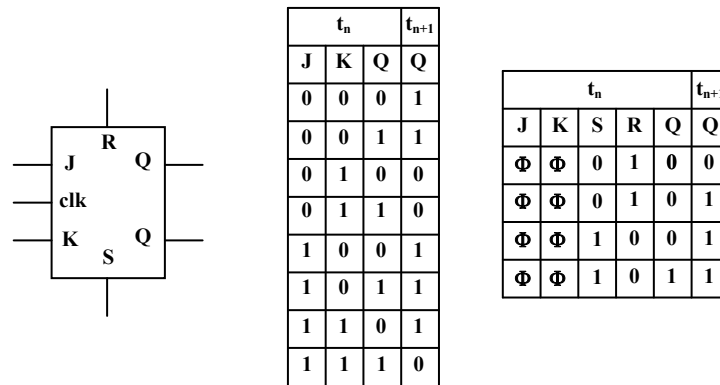


Fig. 2 CBB tip JK: reprezentare, tabele de adevăr

Schimbarea stărilor ieșirilor, după schimbarea intrărilor J și K, se face întotdeauna pe frontul activ al tactului (fie cel negativ fie cel pozitiv), nu pe amândouă, nu pe nivel și nu fără front activ. Efectul apare după o mică întârziere, care poate diferi funcție de tipul tranziției (HL sau LH). Intrările J și K se numesc sincrone datorită faptului că acționează după un semnal de tact. Intrările R și S sunt intrări asincrone. Efectul lor apare la ieșire cu o mică întârziere după ce acestea s-au schimbat, fără a ține cont de starea semnalului de tact sau de stările celorlalte semnale. Datorită acestui fapt ele sunt prioritare (menținerea

activă a unui astfel de semnal face ca circuitul să rămână în starea dată de acesta, indiferent de starea intrărilor sincrone sau a celui de tact). Activarea simultană a intrărilor prioritare S și R este interzisă deoarece ieșirile CBB vor fi amandouă în aceeași stare și nu vor mai fi complementare.

Un circuit logic combinațional are o schemă bloc alcătuită dintr-o memorie și o logică combinațională (figura 3).

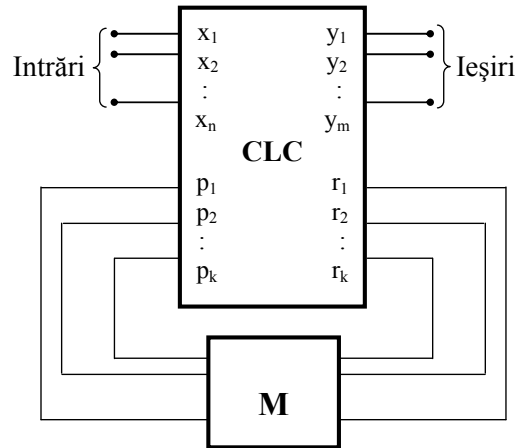


Fig. 3 Schema bloc a unui circuit logic secvențial

Pentru ca un circuit logic secvențial să îndeplinească funcția de numărător, succesiunea stărilor logice trebuie să urmeze o ordine crescătoare sau descrescătoare monotonă după o anumită regulă. Pentru un numărător clasic această regulă este ca două stări consecutive să fie diferite printr-o unitate și a doua stare să fie mai mare decât prima. În consecință, tabelul de adevăr al numărătorului este ca mai jos:

Zecimal	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Front
0	0	0	0	0	↓
1	0	0	0	1	↓
2	0	0	1	0	↓
3	0	0	1	1	↓
4	0	1	0	0	↓
5	0	1	0	1	↓
6	0	1	1	0	↓
7	0	1	1	1	↓
8	1	0	0	0	↓
9	1	0	0	1	↓
10	1	0	1	0	↓
11	1	0	1	1	↓
12	1	1	0	0	↓
13	1	1	0	1	↓
14	1	1	1	0	↓
15	1	1	1	1	↓

Fiecare front activ duce la incrementarea conținutului număratorului cu o unitate. Codificarea stărilor este cea binar naturală. Odată ajuns în ultima stare (15) la următorul front activ, numărătorul va trece în prima stare, iar ciclul se va relua.

Pentru a putea sintetiza un numărător trebuie să plecăm de la observația că frontul activ trebuie să găsească intrările CBB într-o stare care să ducă ieșirea în starea dorită. Funcție de numărul de stări (capacitatea număratorului) se determină numărul de cifre binare (de biți) necesare. Fiecare cifră este contorizată de către un CBB. Dată fiind capacitatea număratorului  $N$ , numărul de biți îl aflăm cu relația  $n=1+\lceil \log_2 N \rceil$ . Funcție de capacitatea dorită, numărătorul nu va număra întotdeauna până toate celulele vor fi 1 logic. Ca și în cazul circuitelor logice combinaționale ele vor fi incomplet definite, stările lipsă completându-se cu indiferent. Schema bloc generalizată de mai sus poate fi particularizată pentru cazul numărătoarelor ca în figura 4. Sinteza constă în aflarea rețelei logice combinaționale. Din acest motiv ieșirile  $Q$  ale număratorului sunt considerate intrări, iar intrările de comandă ale CBB sunt considerate ieșiri.

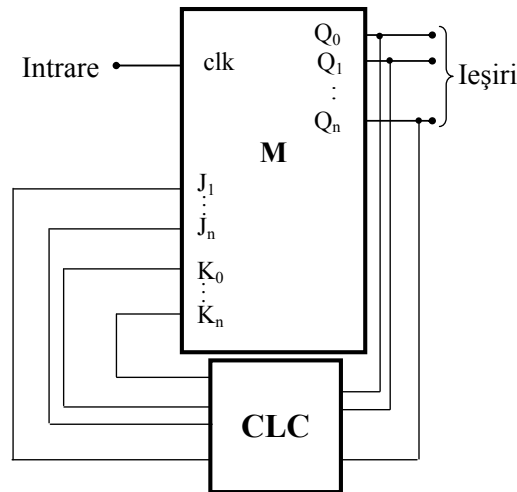


Fig. 4 Schema bloc a unui numărător

Pentru sinteză trebuie să restrângem tabelul de adevăr al CBB JK, deoarece, după cum se observă, există câte două combinații de intrări pentru care CBB trece dintr-o stare într-alta. Tabelul va arăta ca mai jos:

$t_n$		$t_{n+1}$	
J	K	Q	Q
0	$\Phi$	0	0
1	$\Phi$	0	1
$\Phi$	1	1	0
$\Phi$	0	1	1

Pe baza succesiunii de stări construim acum tabelul de adevăr al CLC din componența număratorului. Acesta cuprinde intrările la momentul  $t_n$ , intrările la momentul  $t_{n+1}$  și ieșirile la momentul  $t_n$ . Valorile ieșirilor ( $J_i, K_i$ ) se stabilesc folosind tabelul de adevăr restrâns al CBB JK de mai sus și tranzițiile intrărilor  $Q_i(t_n) \rightarrow Q_i(t_{n+1})$ . Aranjarea lor în diagrama VK se va face după stările la momentul curent  $t_n$ , nu după cele la următoare la momentul  $t_{n+1}$ .

Starea	stările curente				stările următoare											
	$t_n$				$t_{n+1}$				$t_n$							
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	0	0	0	1	0	$\Phi$	0	$\Phi$	0	$\Phi$	1	$\Phi$
1	0	0	0	1	0	0	1	0	0	$\Phi$	0	$\Phi$	1	$\Phi$	$\Phi$	1
2	0	0	1	0	0	0	1	1	0	$\Phi$	0	$\Phi$	$\Phi$	0	1	$\Phi$
3	0	0	1	1	0	1	0	0	0	$\Phi$	1	$\Phi$	$\Phi$	1	$\Phi$	1
4	0	1	0	0	0	1	0	1	0	$\Phi$	$\Phi$	0	0	$\Phi$	1	$\Phi$
5	0	1	0	1	0	1	1	0	0	$\Phi$	$\Phi$	0	1	$\Phi$	$\Phi$	1
6	0	1	1	0	0	1	1	1	0	$\Phi$	$\Phi$	0	$\Phi$	0	1	$\Phi$
7	0	1	1	1	1	0	0	0	1	$\Phi$	$\Phi$	1	$\Phi$	1	$\Phi$	1
8	1	0	0	0	1	0	0	1	$\Phi$	0	0	$\Phi$	0	$\Phi$	1	$\Phi$
9	1	0	0	1	1	0	1	0	$\Phi$	0	0	$\Phi$	1	$\Phi$	$\Phi$	1
10	1	0	1	0	1	0	1	1	$\Phi$	0	0	$\Phi$	$\Phi$	0	1	$\Phi$
11	1	0	1	1	1	1	0	0	$\Phi$	0	1	$\Phi$	$\Phi$	1	$\Phi$	1
12	1	1	0	0	1	1	0	1	$\Phi$	0	$\Phi$	0	0	$\Phi$	1	$\Phi$
13	1	1	0	1	1	1	1	0	$\Phi$	0	$\Phi$	0	1	$\Phi$	$\Phi$	1
14	1	1	1	0	1	1	1	1	$\Phi$	0	$\Phi$	0	$\Phi$	0	1	$\Phi$
15	1	1	1	1	0	0	0	0	$\Phi$	1	$\Phi$	1	$\Phi$	1	$\Phi$	1

Matricile VK corespunzătoare sunt:

$Q_3Q_2$ \ $Q_1Q_0$	$J_3$				$K_3$				$J_2$				$K_2$			
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
00	0	0	$\Phi$	$\Phi$	$\Phi$	$\Phi$	0	0	0	$\Phi$	$\Phi$	0	$\Phi$	0	0	$\Phi$
01	0	0	$\Phi$	$\Phi$	$\Phi$	$\Phi$	0	0	0	$\Phi$	$\Phi$	0	$\Phi$	0	0	$\Phi$
11	0	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$	0	0	$\Phi$	$\Phi$	1	$\Phi$	1	1	$\Phi$	
10	0	0	$\Phi$	$\Phi$	$\Phi$	$\Phi$	0	0	0	$\Phi$	$\Phi$	0	$\Phi$	0	0	$\Phi$
00	0	0	0	0	$\Phi$	$\Phi$	$\Phi$	$\Phi$	1	1	1	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$
01	1	1	1	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$	$\Phi$	$\Phi$	$\Phi$	$\Phi$	1	1	1	1
11	$\Phi$	$\Phi$	$\Phi$	$\Phi$	1	1	1	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$	1	1	1	1
10	$\Phi$	$\Phi$	$\Phi$	$\Phi$	0	0	0	0	1	1	1	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$
	$J_1$				$K_1$				$J_0$				$K_0$			

Din aceste diagrame obținem un set de relații:

$$\begin{cases} J_3 = K_3 = Q_0 \cdot Q_1 \cdot Q_2 \\ J_2 = K_2 = Q_0 \cdot Q_1 \\ J_1 = K_1 = Q_0 \\ J_0 = K_0 = 1 \end{cases}$$

pe baza cărora putem implementa numărătorul cu porți și CBB-uri:

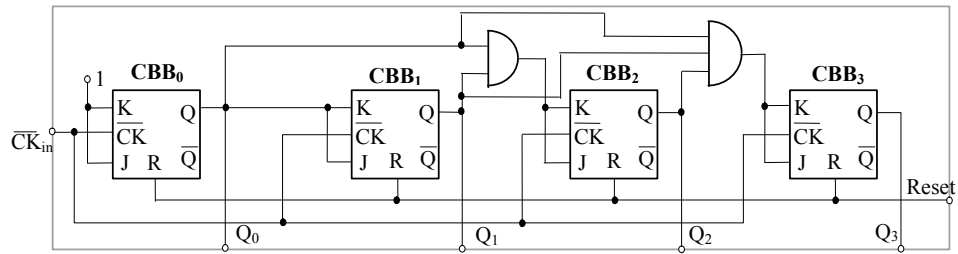


Fig. 5 Schema umărătorului binar de 4 biți